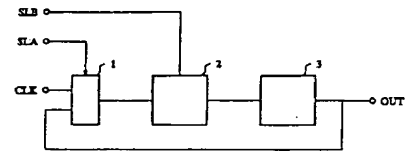


(54) INTEGRATED CIRCUIT INCORPORATING CLOCK SKEW ADJUSTMENT CIRCUIT

(11) 5-241679 (A) (43) 21.9.1993 (19) JP
 (21) Appl. No. 4-45124 (22) 3.3.1992
 (71) NEC CORP (72) AKIRA KATO
 (51) Int. Cl.⁵ G06F1/10

PURPOSE: To set a skew zero by varying the delay of clock signal by means of the external control terminal.

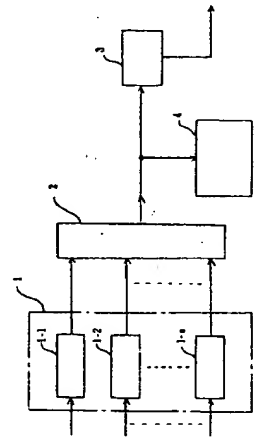
CONSTITUTION: When a selection circuit 1 selects the output of clock distribution circuit by means of an external terminal SLA, loop is formed from a selection circuit 1, delay circuit 2, clock distribution circuit 3, and to the selection circuit 1. The loop comprises a ring oscillator, and whose oscillation frequency is observed by an external terminal OUT. By controlling the delay amount of the delay circuit 2 by means of an external control terminal SLB, the oscillation frequency can be adjusted to the specific value. Thus, as the delay time from the clock terminal to register of each integrated circuit can be set to the constant value and the clock skew is determined by the setting accuracy of the delay circuit, the skew becomes zero.

**(54) CLOCK SYNCHRONIZATION SYSTEM**

(11) 5-241680 (A) (43) 21.9.1993 (19) JP
 (21) Appl. No. 4-45451 (22) 3.3.1992
 (71) FUJITSU LTD (72) YOKI TANAKA
 (51) Int. Cl.⁵ G06F1/12, G06F1/04

PURPOSE: To prevent the increase of the circuitry monitoring the fluctuation of frequency in the clock synchronization system outputting clocks in synchronism with an input clock.

CONSTITUTION: Respective input clocks with dissimilar frequency is frequency-divided into the same cycle by a frequency dividing section 1. One of the frequency division clocks outputted from the section 1 is selected by a selector section 2 and the selected frequency division clock is added as an incoming clock of a synchronization section 3 to take out the synchronization clock in synchronism with the input clock. A frequency fluctuation monitoring section 4 is provided to input an incoming clock to the synchronization section 3 outputted from the selector 2 and monitor the frequency fluctuation of the synchronization clock outputted from the section 3.



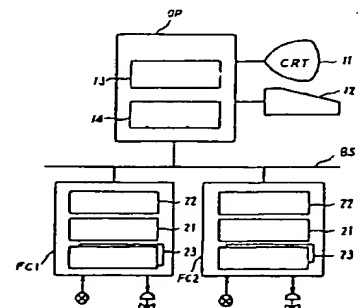
1-1: n frequency divider, 1-2: m frequency divider, 1-n: k frequency divider

(54) DISTRIBUTED CONTROLLER

(11) 5-241681 (A) (43) 21.9.1993 (19) JP
 (21) Appl. No. 4-41517 (22) 27.2.1992
 (71) YOKOGAWA ELECTRIC CORP (72) HIROSHI YAMADA(3)
 (51) Int. Cl.⁵ G06F1/14, H04L12/40, H04Q9/04

PURPOSE: To adjust the time of each control means within the allowable range by broadcasting time information outputted from a master clock means to the other controller through a communication bus for each constant time.

CONSTITUTION: A master clock means 13 in an operating station OP is ticking accurately. A time synchronization means 14 is actuated for each constant time to send the time information of the master clock means 13 through a bus BS to control means FC1 and FC2. When receiving the time information through the communication BUS in the controllers FC1 and FC2, a clock correction means 22 corrects the time of a clock means 21. Thus, the time of each controller is synchronized to execute various controls synchronously.



12: keyboard, 23: control arithmetic means

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-241681

(43)公開日 平成 5 年(1993) 9 月21日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/14				
H 0 4 L 12/40				
H 0 4 Q 9/04		7170-5K		
		7368-5B	G 0 6 F 1/ 04	3 5 1 A
		7341-5K	H 0 4 L 11/ 00	3 2 0
審査請求 未請求 請求項の数 4 (全 7 頁)				

(21)出願番号 特願平4-41517

(22)出願日 平成 4 年(1992) 2 月27日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町 2 丁目 9 番32号

(72)発明者 山田 博

東京都武蔵野市中町 2 丁目 9 番32号 横河
電機株式会社内

(72)発明者 潮江 保彦

東京都武蔵野市中町 2 丁目 9 番32号 横河
電機株式会社内

(72)発明者 江橋 博道

東京都武蔵野市中町 2 丁目 9 番32号 横河
電機株式会社内

(74)代理人 弁理士 小沢 信助

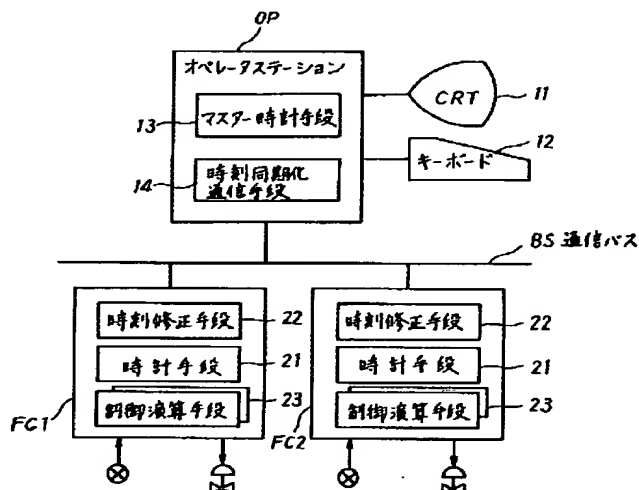
最終頁に続く

(54)【発明の名称】 分散形制御装置

(57)【要約】

【目的】 各制御装置側に設けられている時計手段の時刻を、常に一致させ、時刻情報に基づく制御を正確に行うことができるようにする。

【構成】 制御装置の一つまたはオペレータステーション内にシステム内の基準となる時刻情報を持つマスター時計手段と、このマスター時計手段の時刻情報を、通信バスを経由して各制御装置に所定の周期で送信する時刻同期化通信手段とを設け、複数の制御装置のそれぞれに、時計手段と、自分の時計手段の時間を通信バスを介して送られた時刻情報に基づいて修正する時間修正手段と、自分の有する時計手段に基づいて制御演算動作を行う制御手段とを設けて構成した。



【特許請求の範囲】

【請求項 1】通信バスに接続された制御演算を担当する複数の制御装置と、制御の運転操作・監視を担当するオペレータステーションとで構成される分散形制御装置であって、前記複数の制御装置の中の何れか一つの制御装置または前記オペレータステーションに、システム内の基準となる時刻情報を持つマスター時計手段と、

このマスター時計手段の時刻情報を、前記通信バスを經由して各制御装置に送信する時刻同期化通信手段とを設け、

複数の制御装置のそれぞれに、時計手段と、

この自分の時計手段の時間を通信バスを介して送られた時刻情報に基づいて修正する時間修正手段と、

自分の有する時計手段に基づいて制御演算動作を行う制御手段とを設けたことを特徴とする分散形制御装置。

【請求項 2】マスター時計手段は、複数の時計手段と、

これらの複数の時計手段の時刻を比較し時計手段の異常を判定する時計異常判定手段とを備え、

時刻同期化通信手段は、この時計異常判定手段にて異常が判定された場合、他の時計手段からの時刻情報をマスター時計手段の出力する時刻情報として通信バスに送出する請求項 1 の分散形制御装置。

【請求項 3】複数の制御装置に設けられる時刻修正手段は、

自分の時計手段の時刻と通信バスを介して送られた時刻との差を計算する時間差演算手段と、

この時間差演算手段により計算された時間差に応じて自分の時計手段に与えるクロック数を調整するクロック数調整手段とで構成される請求項 1 の分散形制御装置。

【請求項 4】複数の制御装置に、通信バスを用いて行われる時刻同期化通信から孤立したことを検出する孤立監視部と、

この孤立監視部が時刻同期化通信の孤立を検出した場合、自分の時計手段の持つ補正計数で自分の時計手段の時刻を修正する独自時刻補正手段とを設けた請求項 1 の分散形制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、温度や圧力などのプロセス量を制御する分散形制御装置に関し、更に詳しくは、通信バスを介して分散配置された制御演算を担当する複数の制御装置と、制御の運転操作・監視を担当するオペレータステーションとで構成される分散形制御装置であって、各制御装置は自分の有する時計手段に基づいて制御演算動作を行うような分散形制御装置に関するものである。

【0002】

【従来の技術】分散形制御装置は、制御対象であるプロセスの規模に応じて分散配置される複数の制御装置と、制御運転やプロセスの監視を行うオペレータステーションが互いに通信バスを介して接続されて構成されており、オペレータステーションでは、複数の制御装置が扱っている各種のデータを通信バスを經由して収集し、プロセス全体の制御運転操作や監視を行うことができるようになっている。

10 【0003】

【発明が解決しようとする課題】このような構成の分散形制御装置においては、複数の制御装置で行っている制御演算動作は、各制御装置ごとに独立して行われており、各制御装置の持つ時計手段（クロック）が出力する時刻情報に多少の違いが存在していても、そのことが全体の制御動作に大きな影響を与えることはない。

【0004】しかしながら、複数の制御装置において、ある時刻に一齐に特定な制御動作を開始するといった、時刻情報に基づく制御運転を行おうとする場合、各制御装置の持つ時計手段の時刻がそれぞれ異なっていると、正確な制御が行えなくなる。本発明は、このような点に鑑みてなされたもので、それぞれ時計手段を有する複数の制御装置の間で、所定の時間毎に各時計手段の時刻を一致させるための時刻同期化通信を行うことにより、時刻情報に基づく制御を正確に行えるようにした分散形制御装置を提供することを目的とする。

【0005】また、本発明の他の目的は、各制御装置側において、時刻を一致させるための時刻同期化通信から孤立した場合でも、自分の時計手段の時刻をある許容される範囲内に抑えることの可能な分散形制御装置を提供することにある。

30 【0006】

【課題を解決するための手段】このような目的を達成する本発明は、通信バスに接続された制御演算を担当する複数の制御装置と、制御の運転操作・監視を担当するオペレータステーションとで構成される分散形制御装置であって、前記複数の制御装置の中の何れか一つの制御装置または前記オペレータステーションに、システム内の基準となる時刻情報を持つマスター時計手段と、このマスター時計手段の時刻情報を、前記通信バスを經由して各制御装置に送信する時刻同期化通信手段とを設け、複数の制御装置のそれぞれに、時計手段と、この自分の時計手段の時間を通信バスを介して送られた時刻情報に基づいて修正する時間修正手段と、自分の有する時計手段に基づいて制御演算動作を行う制御手段とを設けたことを特徴とする分散形制御装置である。

40 【0007】

【作用】マスター時計手段を有する制御装置またはオペレータステーションは、一定の時間毎に、時刻同期化通信手段によりマスター時計手段の出力する時刻情報を、

通信バスを経由して他の制御装置にブロードキャストする。各制御装置において、時刻情報を受けると時刻修正手段が自分の時計手段の時刻を修正する。

【0008】制御演算手段は一定周期でその時刻が修正される時計手段の時刻に基づいて制御演算を実行する。

【0009】

【実施例】以下図面を用いて本発明の一実施例を詳細に説明する。図1は、本発明の一実施例を示す構成ブロック図である。図において、FC1, FC2, ……はそれぞれ制御演算を担当する制御装置で、ここでは2台の制御装置について示すが、制御対象であるプロセスの規模に応じて多数分散配置される。OPはプロセスの運転操作や監視を担当するオペレータステーションで、各制御装置とは互いに通信バスBSを介して結ばれている。

【0010】オペレータステーションOPにおいて、11はCRTのような表示装置であり、12はキーボードやマウス、タッチスクリーンなどのポインティングデバイスで、オペレータは、CRT表示装置11に表示される各種の情報を見ながら、あるいは監視しながらキーボードやマウス、タッチスクリーンなどを操作して、プロセスの制御運転ができるように構成してある。

【0011】13はシステム内の基準となる時刻情報を出力するマスター時計手段、14はマスター時計手段13の時刻情報を、通信バスBSを経由して各制御装置FC1, FC2, ……に所定の周期、例えば、10秒ごとに送信する時刻同期化通信手段である。各制御装置FC1, FC2, ……のそれぞれにおいて、21は時計手段、22は各自分の時計手段21の時間を通信バスBSを介して送られた時刻情報に基づいて修正する時刻修正手段、23は自分の有する時計手段21に基づいて制御演算動作を行う制御手段である。この制御手段としては、例えばPID制御演算を行うような機能を有するもの、シーケンス制御を行うもの、スイッチ計器として機能するものなど多数用意されている。

【0012】この様に構成した装置の動作を、次に説明する。オペレータステーションOP内のマスター時計手段13は、信頼性の高い構成となっていて、正確な時刻を刻んでいる。時刻同期化通信手段14は、一定の時間毎に起動され、マスター時計手段13の持つ時刻情報を通信バスBSを経由して各制御装置FC1, FC2側に送信する。

【0013】各制御装置FC1, FC2において、通信バスBSを経由して時刻情報を受けると、時刻修正手段22は、自分の時計手段21の時刻を修正する。制御演算手段23は、例えばプロセスに設置してある各種のセンサからの信号を入力しており、一定周期でその時刻が修正される時計手段21の時刻に基づいて制御演算を開始したり、あるいは実行したりし、制御演算結果をパルプのような操作端（アクチュエータ）に出力する。

【0014】これにより、各制御装置FC1, FC2に

において、時刻情報に基づく各種の制御運転を、互いに同期を取って実行することができる。なお、この実施例では、マスター時計手段13をオペレータステーションOP内に設ける場合を説明したが、このマスター時計手段13および時刻同期化通信手段14は、複数の制御装置の中の何れか一つの中に設けるようにしてもよい。

【0015】また、この例では、マスター時計手段13側から時刻同期化通信手段14が所定の周期で時刻情報を送るようにしているが、各制御装置側から一定周期でマスター時計手段の出力している時刻情報を読み出すための時刻同期化通信を行い、読みだした時刻情報に基づいて時刻修正を行うような構成としてもよい。図2は、信頼性を高くするための工夫を施したマスター時計手段13の一例を示す構成ブロック図である。

【0016】図において、31a~31dは複数の時計手段で、いずれも例えば水晶発振器とカウンタで構成されるような公知のものが用いてある。32a, 32bは各時計手段31aと31b、31cと31dのそれぞれの出力する時刻情報をそれぞれ比較して各時計手段の故障を判定する時計故障判定部で、比較する両方の時刻情報が一致する場合、即ち、各時計手段に故障が生じていない場合、例えば、一方の時計手段31a、31cの出力する時刻情報を選択して出力するようになっている。

【0017】33は時計故障判定部32a, 32bのいずれかから出力される時刻情報を選択して出力するセクタ、34はセクタ33の駆動手段で、2つの時計故障判定部32a, 32bでの判定結果に基づいてセクタ33を駆動するように構成してあり、セクタ33で選択された時刻情報が、マスター時計手段の時刻情報として、時刻同期化通信手段14に渡されるようになっている。

【0018】この様に構成されるマスター時計手段において、2つの時計故障判定部32a, 32bは、それぞれ2つの時計手段31aと31b、31cと31dのそれぞれの出力する時刻情報を比較し、それらの時刻情報が許容誤差以内であれば、時計故障判定部32aは、時計手段31aの時刻情報をセクタ33に出力する。同じく時計故障判定部32bは、時計手段31cの時刻情報をセクタ33に出力する。駆動手段34は、この状態、即ちいずれの時計手段ともその時刻情報が許容される範囲内に入っていて、故障でない場合、故障判定部32aから出力される時計手段31aの時刻情報を選択し、それを時刻同期化通信手段14に渡す。

【0019】この様な状態から、例えば時計故障判定部32aにおいて、2つの時計手段31a, 31bの出力する時刻情報の差が許容範囲を越える様な場合、時計手段31aが故障と判断し、その旨の情報を駆動手段に伝達する。すると、駆動手段34は、セクタ33に対して、故障判定部32bから出力されている時計手段31

cからの時刻情報を出力するように指示する。

【0020】この様に、駆動手段34は、正確な時刻情報を出力する時計手段をマスター時計手段として選択し、そこからの時刻情報を常に時刻同期化通信手段14に渡すようにしている。これによりマスター時計手段としての高い信頼性を維持するようにしている。時刻同期化通信手段14は、受け取った時刻情報を一定周期で、各制御装置側に送信することとなる。

【0021】図3は、各制御装置FC1、FC2側に設けられる時刻修正手段22の一例を示す構成ブロック図である。時刻修正手段21は、通信バスBSを介して送られてくる時刻情報を受けると、その時刻情報に基づいて自分の時計手段21の時刻を修正するが、この様な時刻修正動作において、自分の時計手段の時刻を伝送された時刻情報に基づいて一気に修正する場合、時系列上の時刻に抜けや重複が生ずる可能性がある。

【0022】この実施例では、このような不具合がなくなるように工夫した回路構成となっている。図において、41は時刻情報受信部、42は時刻情報受信部41で受け取った時刻情報と、自身の時計手段21の出力している時刻情報とを入力し、両方の時刻情報の差から、時刻調整巾を演算する調整巾演算部、43は演算により求められた調整巾を受け、これに基づいて時計手段21に与える時計パルスの数を制御する調整制御部である。

【0023】44はクロックソースで、例えば50μs周期のクロックを出力している。45はクロックソース44からのクロックを受け、それを分周し、時計手段21の最小分解能に相当する周期（例えば1ms周期）の時計パルスを出力する時計パルス出力部で、調整制御部43によりここから出力される時計パルスの数が制御されるようになっている。

【0024】この様に構成される時刻修正手段において、調整巾演算手段42は、時刻情報受信部41で受け取った時刻情報と、自身の時計手段21の出力している時刻情報との差を演算し、時計手段21の時刻がどの程度進んでいるのか、または遅れているかを判断し、その判断に応じて調整制御部43に対して指示を行う。即ち、自身の時計手段21の時刻がマスター時計手段13からの時刻と一致している場合、調整制御部43は、時計パルス出力部45に対して時刻修正の制御動作を行わないように指示をする。この場合、時計パルス出力部45は、クロックソース44からのクロックを、20回カウントしたら1ms周期の時計パルスを出力するように動作している。

【0025】調整巾演算手段42において、時計手段21の時刻がマスター時計手段13からの時刻情報に対して、例えば1msだけ遅れていることを判断した場合、調整制御部43は、時計パルス出力部45に対して、クロックソース44からのクロックを、19回カウントしたら1ms周期の時計パルスを出力するように指示す

る。これにより、実際には、0.95ms周期のパルスが時計パルスとして時計手段21に印加されるようになり、時計手段21の出力する時刻情報は、徐々に進むように修正される。

【0026】調整巾演算手段42において、例えば、時計手段21の時刻がマスター時計手段からの時刻情報に対して、1msだけ進んでいることを判断した場合、調整制御部43は、時計パルス出力部45に対して、クロックソース44からのクロックを、21回カウントしたら1ms周期の時計パルスを出力するように指示する。これにより、実際には、1.05ms周期のパルスが時計パルスとして時計手段21に印加されるようになり、時計手段21の出力する時刻情報は、徐々に遅れるように修正される。

【0027】この様な動作により、時計手段21は、出力する時刻情報に進みまたは遅れが存在していても、それが徐々に修正されることとなるので、時系列の抜けや重複が生ずることなく、各種の制御動作に影響のない形で時刻修正を行うことができる。図4は、各制御装置FC1、FC2側に設けられる時刻修正手段22の更に別の例を示す構成ブロック図である。時刻修正手段21は、前述したように、通信バスBSを介して送られてくる時刻情報を受けて時刻修正を行うものであるために、この時刻同期化通信から孤立した場合、自分の時計手段21の時刻を修正することができなくなる。

【0028】この実施例では、このような事態に至ったとしても、時計手段の時刻修正が支障なくできるように工夫した回路構成となっている。図において、図3と同じ部分には同一の符号を付して示してある。46は通信バスBSを介して行われる時刻同期化通信を監視していて、時刻情報受信部41が、この時刻同期化通信から孤立したことを検出する孤立監視部、47はクロックソース44の出力するクロックの誤差をあらかじめ想定して決めた補正計数を記憶する補正係数記憶部、48は補正係数記憶部47に記憶してある補正係数か、調整巾演算部42からの信号かの何れかを通信孤立監視部46からの指示で選択するセレクタである。

【0029】通信孤立監視部46が時刻同期化通信の孤立を検出した場合、セレクタ48は補正係数記憶部47に記憶してある補正係数を読みだして出力する。この場合、補正制御部43は、自分の時計手段21の時刻をあらかじめ決めておいた補正係数に基づいて独自に修正することになる。これにより、何らかの理由により、時刻同期化通信から孤立した様な場合（例えば、マスター時計手段側が故障したような場合や、通信バスが故障した場合等）であっても、時計手段の出力する時刻情報をある程度の許容される範囲内に抑えることができるようにしている。

【0030】ここで、補正係数記憶部47に記憶してある補正係数は、各制御装置において、それぞれのクロッ

クソース44毎にそのクロックを計数して決められることとなる。

【0031】

【発明の効果】以上詳細に説明したように、本発明によれば、各制御装置側に設けられている時計手段の時刻を、常に一致させることができるもので、時刻情報に基づく制御を正確に行うことができる。また、各制御装置で起きる各種のイベントの時系列上の関係を正確に捕らえることができ、統計処理や履歴情報の管理を正確に行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成ブロック図である。

【図2】信頼性を高くなるための工夫を施したマスター時計手段の一例を示す構成ブロック図である。

【図3】各制御装置側に設けられる時刻修正手段の一例を示す構成ブロック図である。

【図4】各制御装置側に設けられる時刻修正手段の更に別の例を示す構成ブロック図である。

*【符号の説明】

FC1, FC2 制御装置

OP オペレータステーション

BS 通信バス

11 表示装置

12 ポインティングデバイス

13 マスター時計手段

14 時刻同期化通信手段

21 時計手段

10 22 時刻修正手段

23 制御演算手段

32a, 32b 時計故障判定部

42 調整巾演算部

43 調整制御部

44 クロック出力部

45 時計パルス出力部

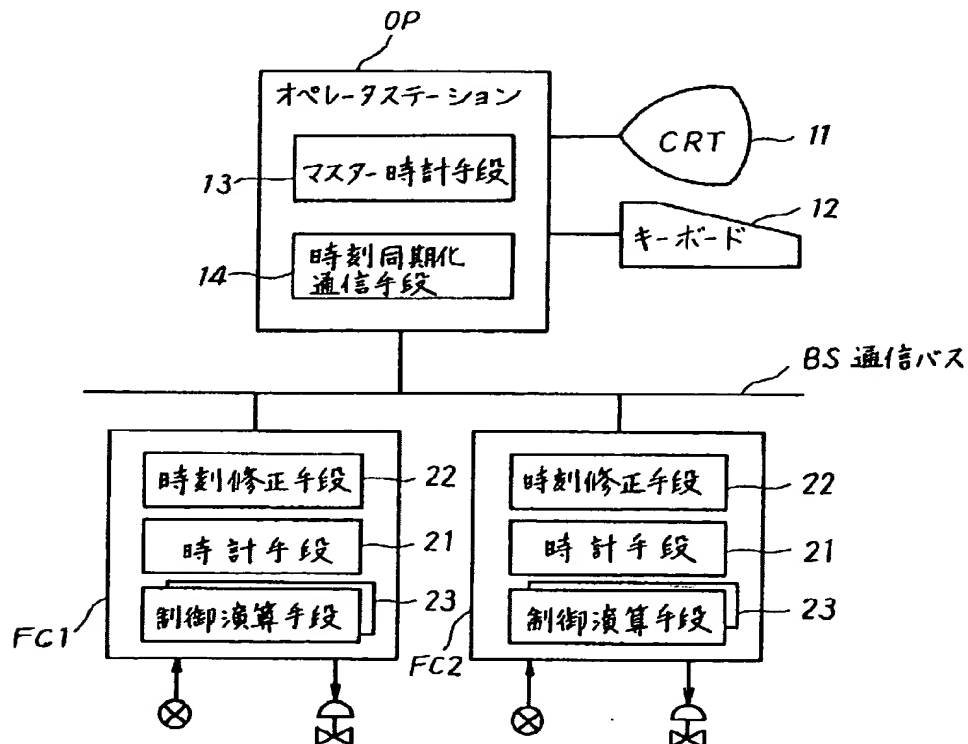
46 通信孤立監視部

47 補正係数記憶部

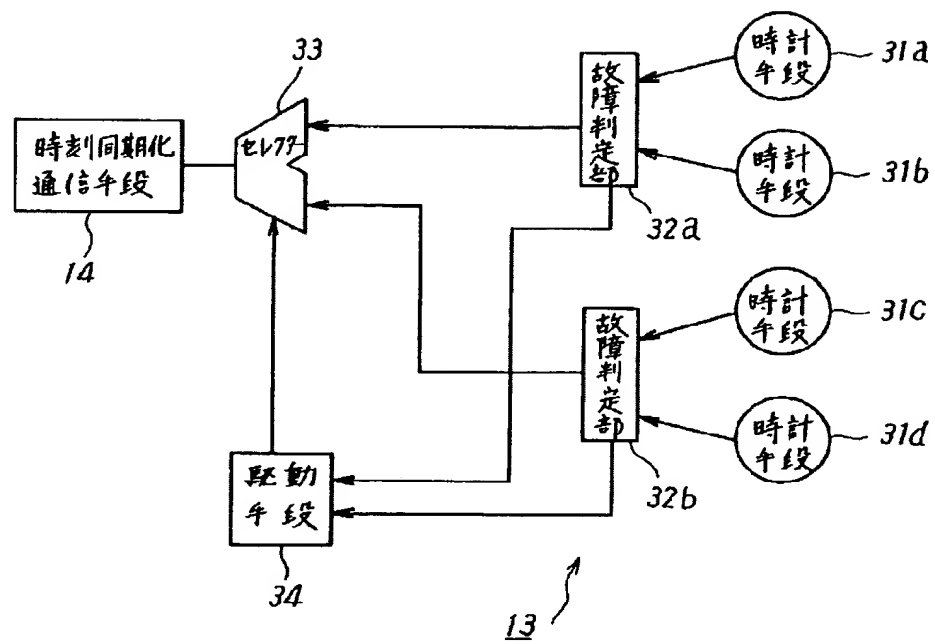
*

20

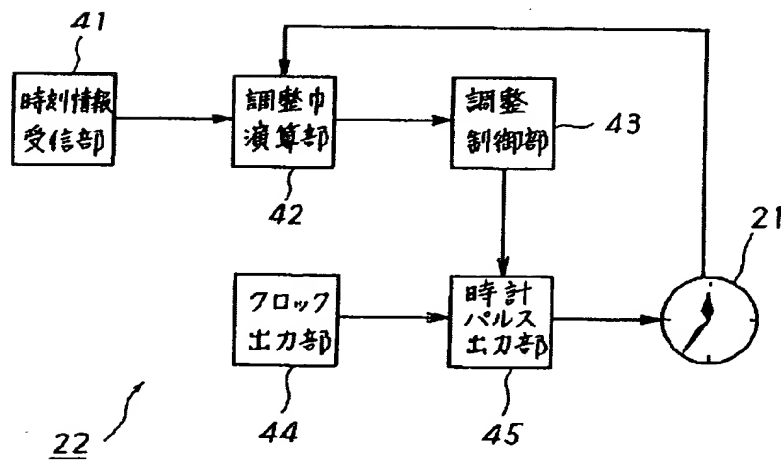
【図1】



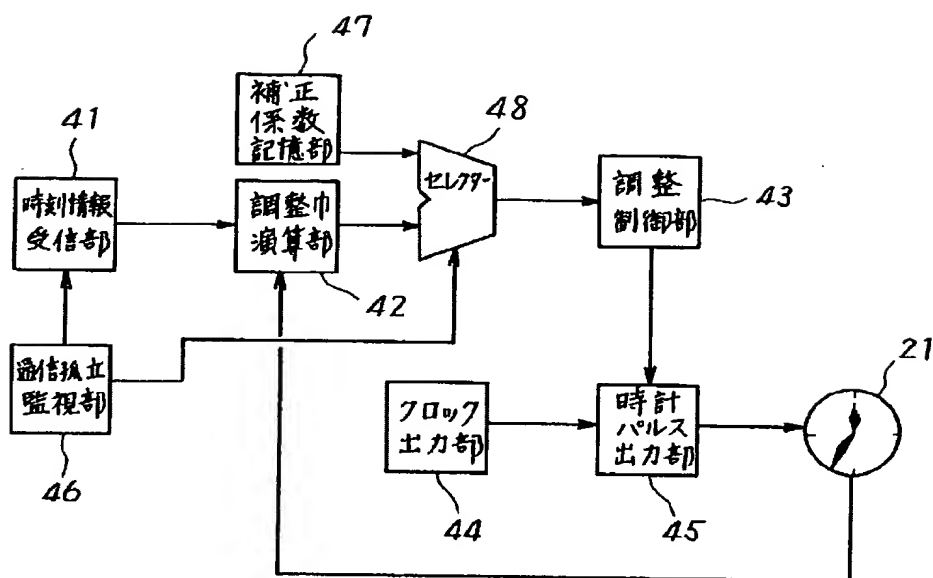
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 水守 隆

東京都武蔵野市中町2丁目9番32号 横河

電機株式会社内